

# Načrtovanje, modeliranje in optimizacija hibridnega $\Sigma\Delta$ analogno-digitalnega pretvornika

Uroš Nahtigal, Drago Strle

Univerza v Ljubljani, Fakulteta za elektrotehniko, Tržaška 25, 1000 Ljubljana, Slovenija  
E-pošta: uroš.nahtigal@fe.uni-lj.si

**Povzetek.** V delu predstavljamo načrtovanje, modeliranje in optimizacijo hibridnega  $\Sigma\Delta$  modulatorja 3. reda z optimiziranim FIR-DAC-filtrom v povratni zanki. Vezje FIR-DAC deluje kot digitalno-analogni pretvornik, ki zmanjšuje vpliv tresenja ure, pri tem pa ohranja linearne lastnosti enobitnega digitalno-analognega pretvornika. Vezje FIR-DAC pretvori enobitni signal iz izhoda modulatorja v tok z več diskretnimi nivoji in s tem zmanjšuje vpliv tresenja ure. Natančno modeliranje in simulacije na visokem hierarhičnem nivoju so učinkovito orodje za hitro in zanesljivo načrtovanje ter primerjavo različnih arhitektur  $\Sigma\Delta$  modulatorjev. S predstavljenim vezjem, metodologijo načrtovanja in modeliranja smo zmanjšali vpliv trepetanja ure za velikostni razred ter dosegli razmerje SnR boljše kot 110 dB pri relativnem trepetanju ure  $\sigma_{jt}/T_s \leq 10^{-5}$ .

**Ključne besede:** FIR-DAC-filter, trepetanje ure, kompenzacija trepetanja ure, hibridni  $\Sigma\Delta$  modulator

## Design, modelling and optimization of a hybrid $\Sigma\Delta$ modulator

This paper presents the design, modelling and optimization of a 3<sup>rd</sup> order, hybrid,  $\Sigma\Delta$  modulator with an optimized FIR-DAC filter in the feedback to reduce the effect of the clock jitter on SnR of the modulator. The FIR-DAC filter performs a digital-to-analog conversion (DAC) of the one-bit bit-stream, behaving as a multi-bit DAC, while keeping the one-bit linearity performances. The output signal of the modulator (one-bit bit-stream) is converted into a multi-bit output current, which reduces the effects of the clock jitter. The modulator's performance is optimized by using high-level modelling of the circuits and jitter effects. The presented design, modeling methodology and optimized circuit of the FIR-DAC filter make it possible to reduce the jitter effect; SnR can be 110 dB at a normalized jitter smaller than  $\sigma_{jt}/T_s \leq 10^{-5}$ .

**Keywords:** FIR-DAC filter, jitter, jitter compensation, hybrid  $\Sigma\Delta$  modulator.

## 1 UVOD

Z rastočo popularnostjo  $\Sigma\Delta$  modulatorjev, ki delujejo kot analogno-digitalni pretvorniki, so napredovala tudi načrtovalska orodja in metodologije, še zlasti pri implementaciji časovno diskretnih modulatorjev, ki omogočajo analizo in sintezo v z-prostoru. Uporaba časovno diskretnega modela je še posebej primerna, kadar so za izvedbo filtrov v zanki, ki realizirajo  $\Sigma\Delta$  modulator, uporabljene stopnje S-C, ki jih v tehnologiji CMOS realiziramo na preprost način [1], [2].

V zadnjem času so čedalje bolj popularni časovno zvezni modulatorji, ki omogočajo delovanje pri višjih frekvencah, imajo relativno manjšo porabo in zahtevajo manjšo površino silicija. Hkrati pa imajo takšni

modulatorji tudi nekaj pomanjkljivosti, med njimi je najizrazitejša občutljivost na trepetanje ure (jitter), ki lahko močno degradira razmerje signal-šum (SnR) [1], [3], [4].

Problematika trepetanja ure v časovno zveznih modulatorjih se kaže kot občutljivost na trajanje tokovnega impulza digitalno-analognega (DA) pretvornika v povratni veji, ki je posledica trepetanja ure. Zaradi narave modulatorja [3]–[6] se vsaka napaka DA-pretvornika neposredno odraža na izhodu modulatorja. Pri trepetanju ure je napaka sorazmerna amplitudi trepetanja in amplitudi izhodnega signala DA-pretvornika. Vpliv trepetanja ure na lastnosti DA-pretvornika lahko zmanjšamo s spremembo DA-pretvornika iz enobitnega v večbitni DA-pretvornik, ki pa mora ohraniti linearne lastnosti enobitnega DA-pretvornika. Tako modificiran pretvornik realizira prevajalno funkcijo FIR-filtra (Finite Impulse Response filter), ki spremeni prototipno prevajalno funkcijo modulatorja. Če želimo doseči prvotno stanje modulatorja, je treba vezje FIR-DAC v povratni veji kompenzirati z dodanim kompenzacijskim vezjem, s katerim dosežemo prvotno signalno in šumno prevajalno funkcijo modulatorja. Enobitni signal DA-pretvornik transformira v izhodni tok, ki lahko zavzame več diskretnih nivojev in s tem realizira večbitni DA-pretvornik.

Problem načrtovanja  $\Sigma\Delta$  analogno-digitalnih (AD) pretvornikov se kaže v dolgotrajnih simulacijah načrtanega vezja, ki jih potrebujemo za verifikacijo. Zato je treba pri načrtovanju in preverjanju različnih arhitektur uporabiti primerno metodologija načrtovanja, ki vključuje načrtovanje visokonivojskega modela ter

simulacije na visokem hierarhičnem nivoju; te omogočajo hitro preverjanje lastnosti različnih arhitektur. Metodologija, predstavljena v [7] in [8], omogoča takšno modeliranje in načrtovanje. Žal pa visokonivojski model ne vsebuje vseh neidealnosti, ki jih vnaša implementacija na tranzistorskem nivoju. Izkaže se, da realizacija internega vezja FIR-DAC na tranzistorskem nivoju vsebuje neidealnosti, ki jih visokonivojski model ne vsebuje. Posledica so popačen izhodni signal in lastnosti modulatorja, ki so slabše od predvidenih. Primer odstopanja med modelom in realizacijo je netočno krmiljenje stikal v tokovnih vezjih vezja FIR-DAC, ki ga visokonivojski model ne upošteva, ki podobno kot trepetanje ure znižujejo dosegljivo razmerje  $S_nR$  (razmerje Signal/Šum). Zato v članku obravnavamo tako realizacijo hibridnega modulatorja, kot tudi njegovo modeliranje, simulacije in ustrezne korake načrtovanja ter optimizacije vezja.

Članek je organiziran takole. Poglavje 2 obravnava vpliv trepetanja ure na razmerje Signal–Šum pri hibridnem  $\Sigma\Delta$  modulatorju 3. reda; predstavi model modulatorja in trepetanja ure ter Simulink model vezja FIR-DAC. Poglavje 3 obravnava realizacijo vezja FIR-DAC na nivoju tranzistorjev ter optimizacijo vezja za doseganje želene ločljivosti, skupaj s primerjavo simulacijskih rezultatov pred optimizacijo in po njej. V poglavju 4 prikažemo simulacijske rezultate visokonivojskih simulacij in simulacij na nivoju vezja ter analiziramo in pojasnimo razlike. Članek zaključuje poglavje 5.

## 2 VPLIV TREPETANJA URE NA RAZMERJE SIGNAL–ŠUM IN MODELIRANJE

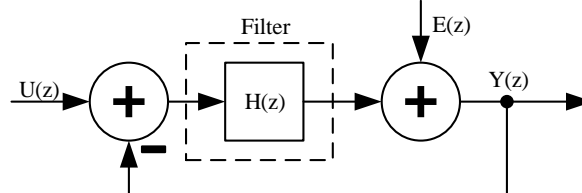
$\Sigma\Delta$  analogno-digitalni pretvorniki omogočajo realizacijo pretvornikov z visoko ločljivostjo [1], [3], [9]. Časovno diskretni linearni model  $\Sigma\Delta$  modulatorja prikazuje slika 1, ki vsebuje filter s prevajalno funkcijo  $H(z)$  v direktni veji ter model kvantizacijske napake  $E(z)$ , ki nadomešča eno- ali večbitni kvantizator. S pomočjo linearnega modela določimo prevajalno funkcijo NTF (Šumna prevajalna funkcija) (1) in STF (signalna prevajalna funkcija) (2). Izhodni signal iz modulatorja je v linearnem modelu sestavljen kot superpozicija vhodnega signala, ki je preoblikovan s STF, in kvantizacijskega šuma preoblikovanega z NTF [1], [2] (3).

$$STF(z) = \frac{Y(z)}{U(z)} = \frac{H(z)}{1+H(z)} \quad (1)$$

$$NTF(z) = \frac{Y(z)}{E(z)} = \frac{1}{1+H(z)} \quad (2)$$

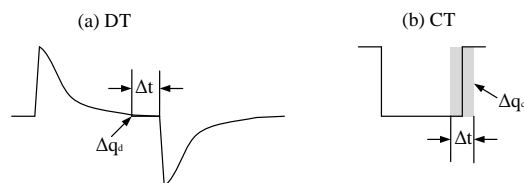
$$Y(z) = STF \cdot U(z) + NTF \cdot E(z) \quad (3)$$

Časovno diskretni filter  $H(z)$  je realiziran kot vezje S-C, kjer je napaka zaradi trepetanja ure zanemarljiva [4], saj se večina naboja v kondenzatorje prenese ob začetku periode, kot je to prikazano na sliki 2 (a).



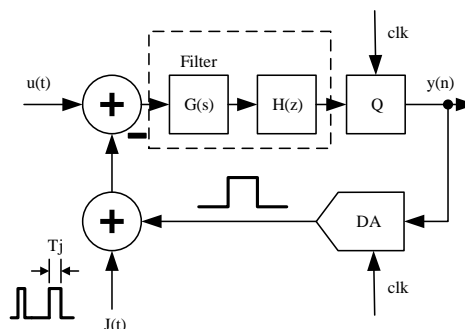
Slika 1: Model časovno diskretnega  $\Sigma\Delta$  modulatorja

Kljub vsemu je realizacija s časovno zveznimi elementi primernejša v vezjih, ki delujejo z visoko frekvenco, kjer je treba zmanjšati porabo moči ter zagotoviti manjšo površino [3], [4]. Poseben primer nastopi, ko je vhodni signal tok in ne napetost, kot v primeru, ki je osnova za to delo [10]. V tem primeru kot prvo stopnjo potrebujemo časovno zvezni filter (integrator), preostale stopnje filtra v zanki pa so lahko časovno zvezne ali časovno diskretne. Pri tem naletimo na problem trepetanja ure (jitter), ki ga je treba upoštevati, modelirati ter po potrebi zmanjšati njegov vpliv, kar dosežemo s spremembami originalnega vezja modulatorja.



Slika 2: Generirana napaka naboja v integratorju: a) Izvedba z vezjem S-C (DT), b) Izvedba s časovno zveznimi elementi (CT)

Slika 3 prikazuje model hibridnega modulatorja z modelom tresenja ure. Filter v zanki je sestavljen iz časovno zveznega integratorja s prevajalno funkcijo  $G(s)$  in časovno diskretnega filtra s prevajalno funkcijo  $H(z)$ . V povratni zanki je dodan notranji DA-pretvornik, katerega izhodni signal sestavljajo tokovni impulzi z določeno širino in amplitudo.



Slika 3: Model hibridnega modulatorja z dodano napako zaradi trepetanja ure

V nasprotju z izvedbo S-C se naboj iz DA-pretvornika prenaša v integrator  $G(s)$  v celi periodi vzorčenja, kar pomeni, da je trajanje tokovnega impulza pomemben parameter, ki določa koeficient povratne vezave in s tem lastnosti modulatorja; vsako odstopanje dolžine impulza od nominalne vnaša napako prenesenega naboja, kar prikazuje slika 2 (b) (napaka obarvana s sivo).

Spremembo naboja  $Q_{DAC}$  na kondenzatorju časovno-zveznega integratorja, ki realizira integrator  $G(s)$  v času ene periode, ki vključuje trepetanja ure, opisuje enačba (4), [3].

$$Q_{DAC} = \int_{\alpha T_s}^{\beta T_s + t_j} I_{DAC} \cdot dt = I_{DAC} \cdot t_j + I_{DAC} \cdot (\beta - \alpha) T_s \quad (4)$$

$$= Q_{DACi} + Q_j,$$

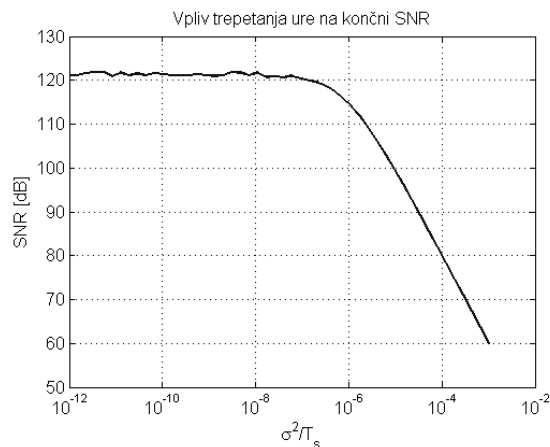
kjer  $Q_{DACi}$  pomeni naboj, ki bi se prenesel v primeru idealne ure,  $Q_j$  pa naboj, ki ga povzroči trepetanje ure,  $I_{DAC}$  je amplituda tokovnega impulza,  $T_s$  je perioda vzorčenja,  $\alpha$  in  $\beta$  pa sta začetni in končni čas tokovnega impulza. Če trepetanje ure obravnavamo kot beli šum, s povprečno vrednostjo nič in varianco  $\sigma_{ji}^2$ , potem v eni periodi vnesemo šumno moč  $E_{j,A}^2$  (5), [3], [11].

$$E_{j,A}^2 = I_{DAC}^2 \cdot \left( \frac{\sigma_{ji}}{T_s} \right)^2 \cdot A. \quad (5)$$

$I_{DAC}$  pomeni amplitudo tokovnega impulza digitalno-analognega pretvornika v povratni veji,  $\sigma_{ji}^2$  pomeni varianco trepetanja ure,  $T_s$  periodo in  $A$  konstanto, ki jo določa oblika impulza [3]–[5]. Različni impulzi: RZ (z vračanjem k začetni vrednosti) ali NRZ (brez vračanja k začetni vrednosti) vplivajo na lastnosti FIR-DAC-filtra in njegovo izvedbo.

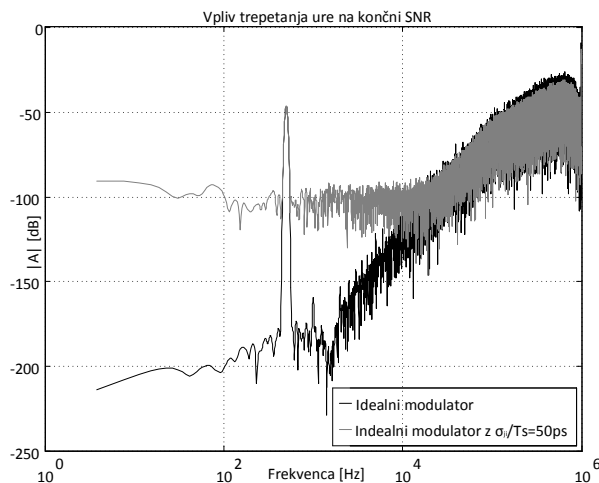
### 2.1 Model hibridnega modulatorja

Modeliranje hibridnega modulatorja tretjega reda z enobitnim kvantizatorjem in brez vezja FIR-DAC v povratni vezavi sledi smernicam v [7], [8], [12] in vsebuje šumne izvore, pomembne neidealnosti pasivnih in aktivnih komponent ter napako zaradi trepetanja ure. Rezultat simulacije je predstavljen na sliki 4; os x prikazuje razmerje med varianco trepetanja ure  $\sigma_{ji}^2$  in periodo ure  $T_s$  ( $\sigma_{ji}^2/T_s$ ), os y pa kaže razmerje signal-šum SnR v dB na izhodu modulatorja v osnovnem pasu. Dokler je  $\sigma_{ji}^2/T_s < 10^{-6}$ , je nivo šuma določen s termičnim,  $1/f$  in  $kT/C$  šumom. Ko postane razmerje  $\sigma_{ji}^2/T_s > 10^{-6}$ , začne prevladovati napaka zaradi trepetanja ure. To pomeni, da je treba pri  $T_s = 500$  ns uporabiti uro, katere varianca trepetanja ne presega 0,5 ps, če želimo doseči SnR, ki je boljši kot 120 dB. Načrtovanje takšnega oscilatorja je izjemno težavna naloga in zahteva vezje z veliko porabo moči.



Slika 4: Vpliv trepetanja ure na SnR hibridnega  $\Sigma\Delta$  modulatorja 3. reda brez FIR-DAC-filtra

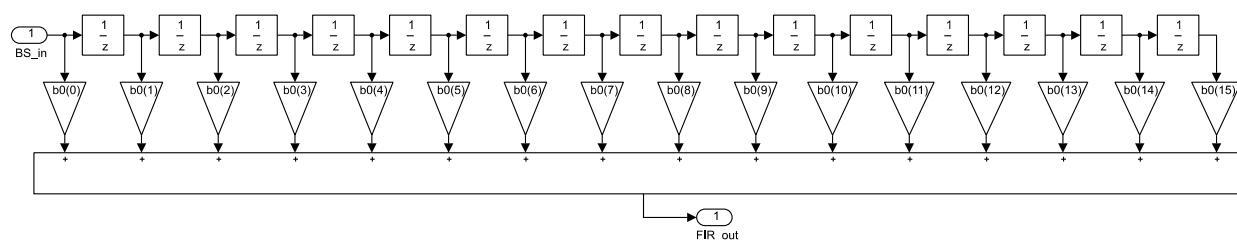
Slika 5 prikazuje spekter signala na izhodu hibridnega  $\Sigma\Delta$  modulatorja tretjega reda z enobitnim kvantizatorjem ter brez vezja FIR-DAC. Spekter idealnega modulatorja (črna črta) znatno presega zahteve ( $\text{SnR} > 120$  dB [10]), medtem ko spekter modulatorja, ki vsebuje šum, ki ga povzročata trepetanje ure (siva črta), zahtevam ne zadošča ( $\text{SnR} < 100$  dB).



Slika 5: Vpliv trepetanja ure na SnR v hibridnem modulatorju tretjega reda: (črna) modulator s  $\sigma_{ji}^2/T_s = 0$ , (siva) modulator s  $\sigma_{ji}^2/T_s = 10^{-5}$

### 2.2 FIR-DAC-filtra in trepetanje ure

Obstaja več načinov zmanjševanja vpliva trepetanja ure v časovno zveznih modulatorjih [3], [4], [11], [13]. Ena od rešitev je uporaba večbitnega DA-pretvornika, kjer pa je po navadi problem nelinearnost, ki je določena z lastnostmi aktivnih in pasivnih komponent DA-pretvornika. Nelinearnost DA-pretvornika v povratni veji je kritična, saj se nespremenjena pojavi na izhodu modulatorja in tako močno degradira dosegljivo razmerje SnDR (razmerje signala proti šumu in popačenjem) [3], [4], [14].



Slika 6: Simulink model FIR-DAC-vezja

Z uporabo vezja FIR-DAC realiziramo večbitni DA-pretvornik, ki zmanjša korake na izhodu, pri tem pa ohranja inherentne linearne lastnosti enobitnega DA-pretvornika.

Enačba (6) opisuje prevajalno funkcijo, ki jo realizira vezje FIR-DAC v povratni zanki modulatorja. Gre za filter s končnim odzivom (FIR filter) s koeficienti  $b_0$ - $b_{15}$  in zakasnitvami enobitnega signala iz izhoda modulatorja.

$$F(z) = \sum_{i=0}^{N=15} b_i \cdot z^{-i} \quad (6)$$

Slika 7 prikazuje amplitudno prevajalno funkcijo vezja FIR-DAC; to je nizkopropustni filter z ojačenjem 1 pri nizkih frekvencah in znatnim slabljenjem visokih frekvenc.

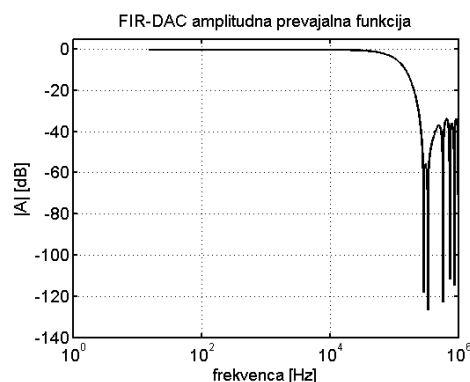
Simulink model vezja FIR-DAC prikazuje slika 6. Model celotnega modulatorja z dodanim vezjem FIR-DAC kaže slika 8. Vezje FIR-DAC je postavljeno v povratno vejo modulatorja in nadomešča enobitni digitalno-analogni pretvornik. Njegovo prevajalno funkcijo  $F(z)$  kompenzira filter  $K(z)$ , ki ga izračunamo tako, da sta signalni prevajalni funkciji in šumni prevajalni funkciji pred vstavitvijo vezja FIR-DAC in po njej enaki. Izhodni tok vezja FIR-DAC je seštevek šestnajstih tokovnih vej, ki so primerno utežene, skladno z utežmi, definiranimi v (6).

Vezje FIR-DAC zmanjšuje minimalni korak tokovnega izhoda iz  $\pm I_{ref}$  na  $\pm I_{ref}/2^n$ , kar poenostavljeno pomeni, da smo napako zaradi trepetanja ure na izhodu iz DA-pretvornika (4), ki je sorazmerna z amplitudo tokovnega impulza, zmanjšali za faktor  $2^n$  ter s tem učinkovito zmanjšali šumno moč napake zaradi trepetanja ure (7).  $I_{DAC,FS}$  pomeni maksimalni izhodni tok,  $\sigma_{ji}^2$  varianco trepetanja ure,  $T$  časovno periodo,  $A$  konstanto ki jo določa tip tokovnega impulza, in  $n$  število bitov vezja FIR-DAC.

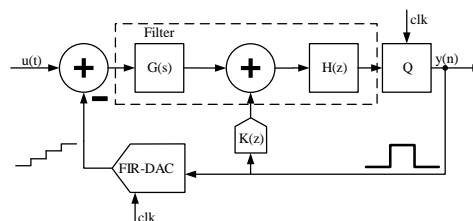
$$E_{j,n}^2 = \frac{I_{DAC,FS}^2}{(2^n - 1)^2} \cdot \left(\frac{\sigma_{ji}}{T_s}\right)^2 \cdot A \quad (7)$$

Slika 9 prikazuje tri spektre signala na izhodu modulatorjev, predstavljenih na slikah 3 in 8, ki vsebujeta napako trepetanja ure  $\sigma_{ji}/T_s = 10^{-5}$ . S svetlo sivo barvo je prikazan spekter modulatorja brez vezja FIR-DAC, s temno sivo spekter izhodnega signala modulatorja z dodanim vezjem FIR-DAC, ter s črno

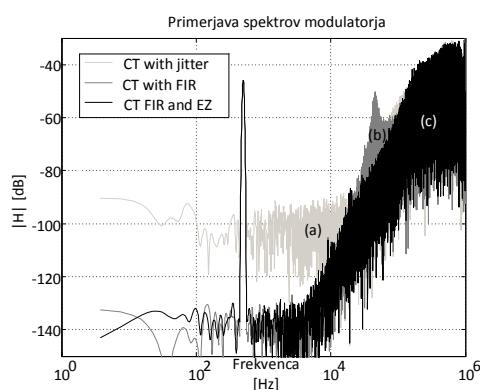
barvo spekter modulatorja z dodanim vezjem FIR-DAC in kompenzacijskim filtrom  $K(z)$ .



Slika 7: Frekvenčni odziv vezja FIR-DAC



Slika 8: Modulator z dodanim vezjem FIR-DAC za zmanjšanje odvisnosti od trepetanja ure



Slika 9: Primerjava spektrov: (a) originalnega modulatorja, (b) modificiranega modulatorja z FIR-DAC-filtrom in brez kompenzacijskega filtra, (c) modificiranega modulatorja z FIR-DAC-filtrom in s kompenzacijskim filtrom

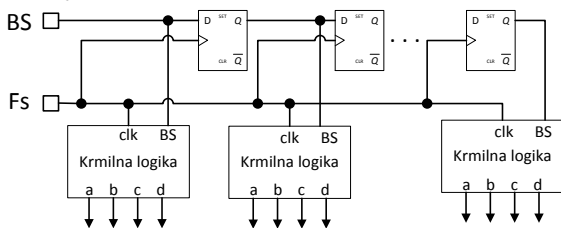
Iz rezultata simulacij na sliki 9 je razvidno, da vezje FIR-DAC zmanjša vpliv trepetanja ure in izboljša razmerje signal–šum nad 120 dB.

### 3 REALIZACIJA IN OPTIMIZACIJA VEZJA FIR-DAC

Enačba (6), transformirana v časovni prostor (8), omogoča realizacijo vezja FIR-DAC z modelom na sliki 6. Vezje je sestavljeno iz dveh delov. Prvi del so zakasnilne celice in kombinacijska logika, ki ju kaže slika 10. Kombinacijska logika skrbi za pravilno krmiljenje stikal tokovnih vej. Drugi del vezja je predstavljen na sliki 11 in ga sestavljajo stikala ter tokovna zrcala.

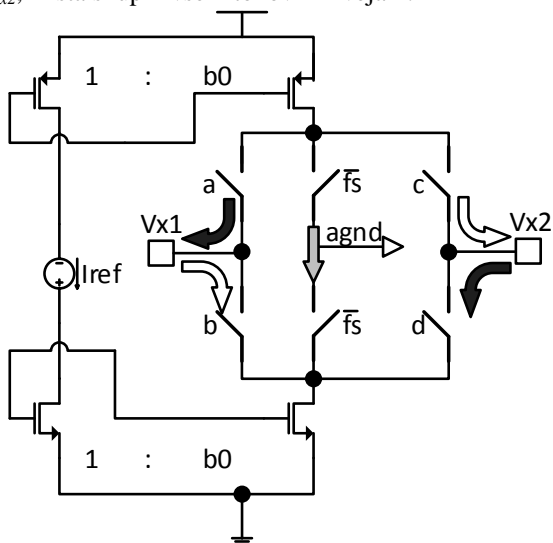
$$y(n) = \sum_{i=0}^N (b_n \cdot x(n-i)) \quad (8)$$

Na sliki 11 je zaradi preglednosti prikazana samo ena od 16 tokovnih vej; vsako sestavlja šest stikal, ki so realizirana z vzporedno vezavo tranzistorjev n-mos in p-mos ter dveh tokovnih virov, ki ju realizirata tokovni zrcali. Razmerja med širinami tranzistorjev določajo uteži  $b_0$ - $b_n$ .

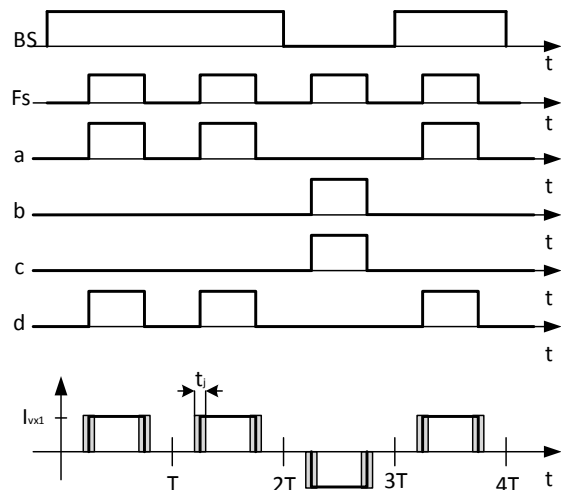


Slika 10: Krmilna logika vezja FIR-DAC

Izhodni tok vezja FIR-DAC je funkcija digitalnega izhoda modulatorja ter zakasnenih izhodov. Črna in bela puščica nakazujeta smeri tokov v vozliščih  $V_{x1}$  in  $V_{x2}$ , ki sta skupni vsem tokovnim vejam.



Slika 11: Tokovna veja vezja FIR-DAC

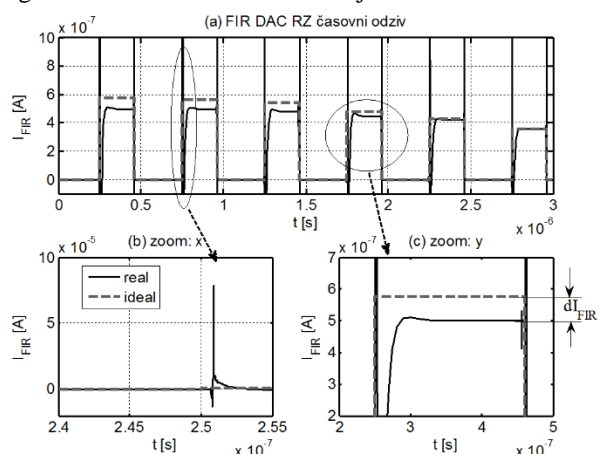


Slika 12: Časovni diagram krmilnih signalov vezja FIR-DAC

Poleg krmilnih signalov a,b,c,d je za pravilno delovanje potreben še invertiran krmilni signal  $F_s$ , ki je zakasnen urni signal systemske ure. Slika 12 prikazuje časovni diagram krmilnih signalov in izhodni tok  $I_{vx1}$ , ki ga ustvarja prva tokovna veja.

#### 3.1 Neidealnosti vezja FIR-DAC

Vpliv vezja FIR-DAC na končni SnR smo preverili s simulacijami v okolju Matlab/Simulink in na nivoju vezja s simulatorjem Spectre, kjer lahko vključimo ali izključimo parazitne komponente, ki jih povzročata realna realizacija na siliciju. Rezultat simulacije realnega vezja z vključenimi paraziti izkazuje SnR, ki je za 40 dB nižji od predvidenega (slika 17), kar je posledica nepravilnega krmiljenja stikal s slike 11; ostanek naboja na parazitnih kapacitivnostih kot posledica razlike v časih vzpona in padca krmilnih signalov v vezju FIR-DAC povzroča injekcijo nabojev, ki so modulirane s signalom BS iz izhoda modulatorja.

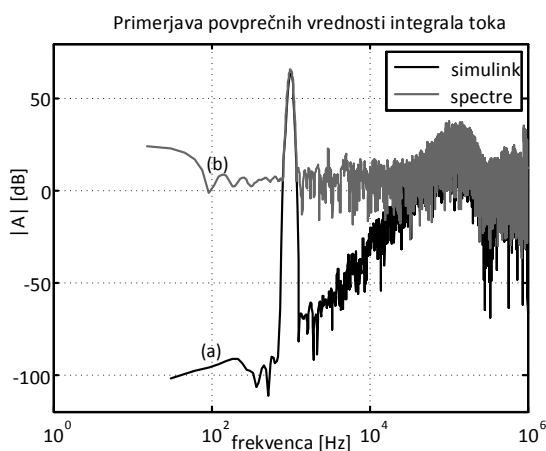


Slika 13: Primerjava poteka časovnega odziva izhodnega toka vezja FIR-DAC: (a) časovni odsek idealnega (siva) in realnega (črna) odziva vezja FIR-DAC, (b) prikaz tokovne konice v primerjavi z idealnim odzivom, (c) povečava časovnega odseka in prikaz razlike med idealnim in realnim potekom toka

Slika 13 (a) prikazuje časovni potek izhodnega toka vezja FIR-DAC: idealni potek (siva črtkana črta) in realni potek (črna črta). Tokovne konice realnega vezja so za tri velikostne razrede večje od pričakovanega izhodnega toka, ki znaša nekaj 10 nA, kar kaže slika 13 (b). Slika 13 (c) prikazuje, da je poleg tokovne konice prisotna tudi absolutna napaka.

### 3.2 Izenačitev časa dviganja in padanja krmilnih signalov

Za boljše razumevanje dinamike preklpov smo pripravili testno vezje in ga simulirali na nivoju vezja. Opazovali smo velikost tokovnih konic ob različnih vklopih in izklopih krmilnih stikal a, b, c, d in  $F_s$  s slike 11.



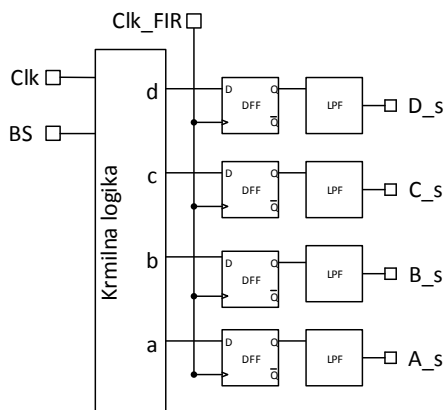
Slika 14: Primerjava spektrov povprečnega integriranega toka idealnega in realiziranega vezja FIR-DAC: (a) povprečna vrednost integriranega toka idealnega vezja FIR-DAC, (b) povprečna vrednost toka, realiziranega vezja FIR-DAC

Slika 14 prikazuje primerjavo povprečnih vrednosti integrala izhodnega toka vezja FIR-DAC, kjer je s črno črto prikazan spekter idealnega vezja FIR-DAC, (a) ter s sivo črto (b) spekter realiziranega vezja FIR-DAC; neidealnosti vezja FIR-DAC se kažejo na izhodu modulatorja kot degradacija razmerja SnDR.

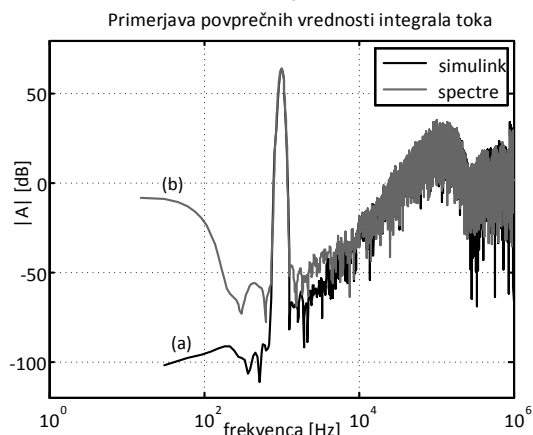
Simulacije so pokazale, da so tokovne konice najmanjše, kadar sta dvižni čas in čas padanja enaka, zato je takrat injekcija napačnih nabojev v integrator najmanjša. Poleg tega izenačitev naklonov približno kompenzira injekcijo nabojev. Na nivoju vezja smo izenačitev časov dosegli z vstavitvijo dodatnih celic DFF (D flip-flop), ki spremenijo izhodna stanja le ob naraščajoči fronti urnega signala, kar pomeni, da bodo ob enakih signalnih poteh stikala v tokovnih vejah krmiljena sočasno.

S prilagoditvijo širine in dolžine tranzistorjev v izhodnem gonilniku celic DFF smo izenačili dvižni in padajoči čas. Modificiranim celicam DFF smo dodali še nizkopropustni filter s pol frekvenco 100 MHz. Modificirana krmilna logika je prikazana na sliki 15.

Slika 16 ponovno prikazuje primerjavo spektrov povprečnih vrednosti integrala izhodnega toka FIR-DAC-filtra, kjer je s črno črto (a) prikazan spekter idealnega FIR-DAC-filtra, s sivo črto (b) pa spekter modificiranega FIR-DAC-filtra. S slike 16 je razvidno, da smo nivo šuma v primerjavi z nivojem šuma s slike 14 znižali za več kot 50 dB, kar smo dosegli s preprosto modifikacijo krmilnih signalov a,b,c,d in  $F_s$ .



Slika 15: Modificirana krmilna logika



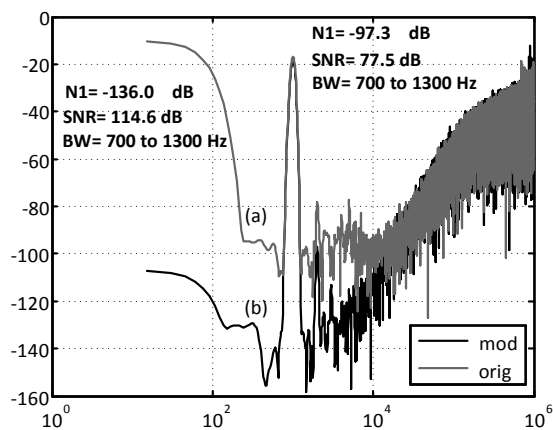
Slika 16: Primerjava spektrov idealnega in modificiranega vezja FIR-DAC: (a) povprečna vrednost integriranega toka idealnega vezja FIR-DAC, (b) povprečna vrednost toka modificiranega vezja FIR-DAC

Slika 17 prikazuje spektra signala BS na izhodu modulatorja, kje je s sivo barvo prikazan spekter modulatorja z nemodificiranim vezjem FIR-DAC, ki smo ga pridobili s simulacijo na nivoju vezja, ter s črno barvo spekter modulatorja z modificiranim vezjem FIR-DAC. Nivo šuma v zanimivem pasu med 700 in 1300 Hz nam je z modifikacijo uspelo znižati za 30 dB, s čimer smo dosegli zahtevano razmerje SnR, ki bo omogočalo pretvorbo vhodnega toka v območju med 1 pA in 300  $\mu$ A z ločljivostjo 20 bitov.

## 4 RAZPRAVA

Rezultata s slike 17 nakazujeta na pomembnost razumevanja neidealnosti, ki jih prinese implementacija visokonivojskega modela sistema na tranzistorskem

nivoju. Neidealnosti so še posebej problematične v sistemih z veliko preklopi, kjer Spice/Spectre simulatorji za doseganje kratkih časovnih odsekov na tranzistorskem nivoju potrebujejo veliko računskega časa.



Slika 17: Primerjava spektrov modulatorja z modificiranim in nemodificiranim FIR-DAC filtra: (a) spekter nemodificiranega vezja FIR-DAC, (b) spekter modificiranega vezja FIR-DAC

Čas simulacije, ki je potreben za izračun  $2^{16}$  vzorcev (ti omogočajo ustrezen izračun FFT) celotnega modulatorja s simulatorjem Spectre, merimo v tednih. Če želimo skrajšati čas simulacije, je treba ustrezno zmanjšati točnost simulacije. Manjša točnost in shranjevanje rezultatov časovne simulacije ob periodičnih intervalih pa še dodatno zakrijeta resnične poteke signalov. Iz tega sledi, da sta najprimernejša natančno modeliranje in simulacija na visokem hierarhičnem nivoju v času načrtovanja lahko uspešna metodologija načrtovanja. Simulacijo na tranzistorskem nivoju uporabimo le kot končno verifikacijo delovanja vezja.

## 5 SKLEP

V delu predstavljamo problematiko načrtovanja in modeliranja časovno zveznih in hibridnih  $\Sigma\Delta$  modulatorjev ter vpliva trepetanja ure na razmerje SnR. Pokazali smo, kako z vezjem FIR-DAC v povratni veji zmanjšamo vpliv trepetanja ure na SnR ter mogočo implementacijo filtra. Primerjali smo delovanje realiziranega FIR-filtra na tranzistorskem nivoju z njegovim delovanjem, ki ga opisuje visokonivojski model. Analiza kaže na pomanjkljivosti visokonivojskega modela. Z izboljšavami vezja in modela ter s pomočjo testnih vezij in simulacij nam je uspelo modificirati prvotno realizirano vezje FIR-DAC ter doseči zahtevano razmerje SnR. Trenutno naprej razvijamo model modulatorja in vezja FIR-DAC z različnimi realizacijami na tranzistorskem nivoju.

## LITERATURA

- [1] R. Schreier, *Understanding delta-sigma data converters*. Piscataway, NJ: Hoboken, N. J.; Chichester: IEEE Press; Wiley, 2005.
- [2] S. R. Norsworthy, R. Schreier, and G. C. Temes, *Delta-Sigma Data Converters: Theory, Design, and Simulation*, 1 edition. New York: Wiley-IEEE Press, 1996.
- [3] M. Ortmanns, *Continuous-time sigma-delta A/D conversion: fundamentals, performance limits, and robust implementations*. Berlin; New York: Springer, 2006.
- [4] J. A. Cherry and W. M. Snelgrove, *Continuous-time delta-sigma modulators for high-speed A/D conversion: theory, practice, and fundamental performance limits*. Boston: Kluwer Academic Pub, 2000.
- [5] O. Oliaei, "Clock jitter effect in continuous-time oversampling converters," in *The 2001 IEEE International Symposium on Circuits and Systems, 2001. ISCAS 2001*, 2001, vol. 1, pp. 288–291 vol. 1.
- [6] O. Oliaei, "Clock jitter noise spectra in continuous-time delta-sigma modulators," in *Proceedings of the 1999 IEEE International Symposium on Circuits and Systems, 1999. ISCAS '99*, 1999, vol. 2, pp. 192–195 vol. 2.
- [7] D. Strle, "Visokonivojsko modeliranje in načrtovanje večkanalnega senzorskega sistema za zaznavanje različnih molekul v zraku," *Eletrotehniški Vestn.*, vol. 82, no. 5, pp. 253–259, 2015.
- [8] D. Strle, "Mixed-Signal Circuits Modelling and Simulations Using Matlab," in *Engineering Education and Research Using MATLAB*, A. Assi, Ed. InTech, 2011.
- [9] F. Maloberti, *Data Converters*, 2007 edition. Dordrecht, Netherlands: Springer, 2007.
- [10] D. Strle, U. Nahtigal, G. Batistell, V. C. Zhang, E. Ofner, A. Fant, and J. Sturm, "Integrated High Resolution Digital Color Light Sensor in 130 nm CMOS Technology," *Sensors*, vol. 15, no. 7, pp. 17786–17807, Jul. 2015.
- [11] O. Oliaei, "Continuous-time sigma-delta modulator incorporating semi-digital FIR filters," in *Proceedings of the 2003 International Symposium on Circuits and Systems, 2003. ISCAS '03*, 2003, vol. 1, p. I-957-I-960 vol.1.
- [12] D. Strle, "Načrtovanje, modeliranje in simulacije elektromehanskih sigma-delta analognodigitalnih pretvornikov MEMS," *Eletrotehniški Vestn.*, vol. 83, no. (1-2), pp. 61–67, 2016.
- [13] O. Oliaei, "Sigma-delta modulator with spectrally shaped feedback," *IEEE Trans. Circuits Syst. II Analog Digit. Signal Process.*, vol. 50, no. 9, pp. 518–530, Sep. 2003.
- [14] A. Ashry and H. Aboushady, "Modeling jitter in Continuous-Time sigma-delta modulators," in *Behavioral Modeling and Simulation Conference (BMAS), 2010 IEEE International*, 2010, pp. 53–56.

**Uroš Nahtigal** je diplomiral leta 2010 na Fakulteti za elektrotehniko v Ljubljani. Zaposlen je kot raziskovalec v Laboratoriju za mikroelektroniko na Fakulteti za elektrotehniko v Ljubljani. Njegova raziskovalna zanimanja vključujejo analizo, modeliranje in načrtovanje analogno-digitalnih pretvornikov s poudarkom na  $\Sigma\Delta$  modulatorjih.

**Drago Strle** je pridobil doktorat znanosti v letu 1991 na Fakulteti za elektrotehniko Univerze v Ljubljani s področja načrtovanja in sinteze vezij stikalo-kondenzator. Ima več kot 30 let izkušenj na področju načrtovanja mešanih analogno-digitalnih integriranih vezij s poudarkom na načrtovanju integriranih, nizkošumnih, visokosposobnih senzorskih vmesnikov. Trenutno je izredni profesor na Fakulteti za elektrotehniko Univerze v Ljubljani, kjer poučuje predmete s področja elektronike in mikroelektronike. Raziskovalna dejavnost obsega modeliranje, načrtovanje in testiranje mešanih analogno-digitalnih integriranih vezij ter integriranih senzorjev in senzorskih vmesnikov za senzorje MEMS ter kemijske in biološke senzorje.